

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256647

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01S 3/18

(21)Application number : 09-058086

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 12.03.1997

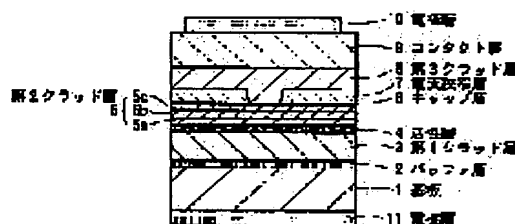
(72)Inventor : SASAKI MITSUO

(54) SEMICONDUCTOR LASER ELEMENT AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor laser element excellent in current-optical output characteristics and voltage-current characteristics and having low coherence, and a high yield fabrication method thereof.

SOLUTION: A first conductivity type buffer layer 2 having composition of $\text{Al}_x\text{Ga}_{1-x}\text{As}$, a first conductivity type clad layer 3 having composition of $\text{Al}_x\text{Ga}_{1-x}\text{As}$, an active layer 4 having composition of $\text{Al}_y\text{Ga}_{1-y}\text{As}$, a second conductivity type second clad layer 5 having composition of $\text{Al}_x\text{Ga}_{1-x}\text{As}$, a second conductivity type GaAs cap layer 6, a first conductivity type current constriction layer 7 divided into two regions, a second conductivity type third clad layer 8 having composition of $\text{Al}_x\text{Ga}_{1-x}\text{As}$, and a second conductivity type GaAs contact layer 9 are formed sequentially on a first conductivity type GaAs substrate 1 thus constituting an AlGaAs based semiconductor laser element. The p-conductivity type clad layer 5 out of first and second clad layers comprises a plurality of inner layers 5a, 5b, 5c doped with different dopant and the diffusion coefficient of dopant in respective inner layers increases sequentially as receding from the active layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

特開平10-256647

(43)公開日 平成10年(1998)9月25日

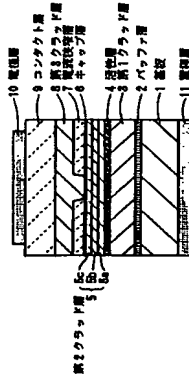
G5)Int.Cl. H01S 3/18	識別記号 FI H01S 3/18	
(21)出願番号 特願平9-59086	(71)出願人 富士電機株式会社 000005234	審査請求 未請求 請求項の数 8 OL (全 10 頁)
(22)出願日 平成9年(1997)3月12日	(72)発明者 佐々木 光夫 神奈川県川崎市川崎区田辺新田1番1号	(73)特許権者 佐々木 光夫 神奈川県川崎市川崎区田辺新田1番1号
	(74)代理人 弁護士 徳部 正治 富士電機株式会社内	

G54 【発明の名称】 半導体レーザ素子およびその製造方法

(57) 【要約】

【課題】電流-光出力特性および電圧-電流特性が優れ、また可干渉性の小さい半導体レーザ素子およびその歩留りの高い製造方法を提供する。

【解決手段】第1導電型のGaAs基板1上に、第1導電型のAl_xGa_{1-x}Asの組成のバッファ層2、第1導電型のAl_xGa_{1-x}As組成の第1クラッド層3、Al_xGa_{1-x}As組成の活性層4、第2導電型のGaAsの組成の第2クラッド層5、第2導電型のGaAsの組成の第3クラッド層6、第2導電型のAl_xGa_{1-x}Asの組成の第4クラッド層7、第2導電型のGaAsの組成の第5クラッド層8、第2導電型のAl_xGa_{1-x}Asの組成の第6クラッド層9が順に積層されているAlGaAs系半導体レーザ素子において、前記第1または第2クラッド層のうち導電型がp型であるクラッド層5はドーパントが異なる複数の内層(5c、5b、5a)からなり、前記各内層のドーパントの拡散係数は前記活性層から遠ざかるに従って順に大きくなっている。



【特許請求の範囲】

【請求項1】第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成のバッファ層、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) 組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) 組成の活性層、第2導電型のAl_xGa_{1-x}As組成の第2クラッド層、第2導電型のGaAsの組成の第3クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第4クラッド層、第2導電型のGaAsの組成の第5クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第6クラッド層が順に積層されているAlGaAs系半導体レーザ素子において、前記第1または第2クラッド層のうち導電型がp型であるクラッド層はドーパントが異なる複数の内層からなり、前記各内層のドーパントの拡散係数は前記活性層から遠ざかるに従って順に大きくなっていることを特徴とする半導体レーザ素子。

【請求項2】前記ドーパントは前記活性層側から、C、Mg、Znの順の2つ以上の組み合わせであることとを特徴とする請求項1に記載の半導体レーザ素子。

【請求項3】前記p型であるクラッド層の厚さは0.3ないし0.45 μmの範囲であり、かつ前記活性層に對するこのクラッド層の厚さにおけるAl組成差(Δx)は0.35ないし0.6の範囲であることを特徴とする請求項1ないし3に記載の半導体レーザ素子。

【請求項4】第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) 組成のバッファ層、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) 組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) 組成の活性層、第2導電型のAl_xGa_{1-x}As組成の第2クラッド層、第2導電型のGaAsの組成の第3クラッド層、第2導電型のAl_xGa_{1-x}As組成の第4クラッド層、第2導電型のGaAsの組成の第5クラッド層、第2導電型のAl_xGa_{1-x}As組成の第6クラッド層が順に積層されているAlGaAs系半導体レーザ素子において、前記バッファ層と前記第1クラッド層との間、もしくは、第1クラッド層内にレーザ光軸と平行に2つの区域に分割されている第2導電型の第2の電流拡散層を形成することを特徴とする半導体レーザ素子。

【請求項5】前記電流拡散層と前記第2の電流拡散層は活性層に對し、傾斜が形成されていることを特徴とする請求項4に記載の半導体レーザ素子。

【請求項6】前記電流拡散層に挟まれるストライプ部はメサ構造であることを特徴とする請求項5に記載の半導体レーザ素子。

【請求項7】請求項1ないし6に記載の半導体レーザ素子の製造方法において、前記第2クラッド層のドーパントがCの層をV族原料ガスとIII族原料ガスの供給におけるV族元素とIII族元素のモル比(以下V/III比と記す)比1.0ないし3.0の範囲で成膜し、前記第2クラッド層の他の層はV/III比1.80ないし2.20の範囲

2

で成膜することを特徴とする半導体レーザ素子の製造方法。

【請求項8】請求項6に記載のストライプ部のメサ構造はエッチングストップ層、クラッド層およびキャップ層の積層工程、クラッド層上のストライプマスキングの形成工程、次いでこのストライプマスキングに被覆されていない部分のキャップ層およびクラッド層をエッチングストップ層まで除去する工程によって形成されることを特徴とする半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Al_xGa_{1-x}As (0 ≤ x ≤ 1) からなる活性層を有し、近赤外光を放射するAl_xGa_{1-x}As系 (0 ≤ x ≤ 1) 系の半導体レーザ素子に関する。

【0002】

【従来の技術】単一モードで発振するAl_xGa_{1-x}As系 (0 ≤ x ≤ 1) 半導体レーザ素子(以下LD素子と略す)の従来例について図面をもとに説明する。この例ではGaAs基板の導電型をn型とし、p型の場合は以下の全ての導電型を逆にすればよい。図17は従来のLD素子のへき開面に平行な断面図である。LD素子のへき開面の法線はレーザ放射光の光軸でもある。n型のGaAs基板1のへき開面に垂直な面(以後素子面と言う)上に、n型のバッファ層2、n型の第1クラッド層3、活性層4、p型の第2クラッド層5、p型のGaAsキャップ層6、p型の電流拡散層8、p型の第3クラッド層9、p型のコンタクト層10がこの順に積層されている。ただし、電流拡散層8は素子面中央の両へき開面間を垂直に貫通している幅が数μmのストライプ状の部分(以後ストライプと言う)を挟んで2つの部分に別れている。ストライプは第3クラッド層9で埋まっており、GaAsキャップ層6と第3クラッド層9とは隣接している。

【0003】LD素子の両素子面には電流を流すためのp側電極11、n側電極12がそれぞれ積層される。p側からn側に順方向電流を流す場合に、この電流拡散層8とGaAsキャップ層6または第2クラッド層5との界面に形成されているp-n接合は逆方向となり電流は流れず、ストライプだけに順方向電流が集中して流れる。従って、ストライプに近接している活性層4を横切る電流は略ストライプ幅に集中する。さらに、電流拡散層8は活性層4で発光した光の吸収層の役割を持っており、ストライプのサイズを適切に選ぶことにより素子の安定な模モード発振を可能とし、発振の共振開始電流を低減させることができる。

【0004】このようなLDは通常次のようにして製造される。図18は従来のLD素子の主な製造工程後のクエハの1素子分を示すへき開面断面図であり、(a)は酸化ケイ素層のパターニング工程後、(b)は電流拡散層の選択エピタキシャル成長後、(c)は電極用金属膜

成長様式である。先ず、 n 型GaAs基板1 (Siドープ、キャリア濃度 $2 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $300 \mu\text{m}$) 上に、有機金属化合物(成長、以下、MOCVDと記す)によりパッドフアム層2 (GaAs、厚さ $0.2 \mu\text{m}$)、第1クラッド層3 (n 型Al_{0.1}Ga_{0.9}As、厚さ $1 \mu\text{m}$)、活性層4 (ノンドープAl_{0.1}Ga_{0.9}As、厚さ $0.1 \mu\text{m}$)、第2クラッド層5 (p 型Al_{0.1}Ga_{0.9}As、厚さ $0.3 \mu\text{m}$)、GaAsキャップ層6 (n 型GaAs、厚さ $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)を順次成長させる。

【0005】なお、このGaAsキャップ層は、以降の酸化還元工程とそのパターニング工程に使用したAlAs層を高度化するものと、そのパターニングの際に成膜が適用されるものとを異なる目的の膜に生成させる上で、これを防止するたために設けられる。次に、このウェハ上に酸化ケイ酸層をスパッタに形成し、フォトリソを施す。パターニング工程に用いたキャップ層の上に幅5μmのストライプ状マスクを形成する（図18(a)）。

【0008】次に、再度MOCVDにより電流増幅層8 (n型GaAs, キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ0.3 μm) を成長させる。この時、選択成長が起こる酸化ケイ素層(マスキ7)上にはGaAs膜は成長しない(図18参照)。そして、MOCVD装置から取り出し、マスキ7を除去したのちに、第3クラッド層9 (p型GaAs, $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.8 μm)、第4クラッド層10 (n型GaAs, キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ0.5 μm)、およびコンタクト層11 (p型GaAs, キャリア濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 、厚さ5.0 μm) を成長させる。最後に、ウェハ上下のp型層11、n型層12を形成する。この状態を図18(c)に示す。

【0007】上記の製造工程の後、ウェハを（図18の紙面に平行に）へき開しバーとし、さらにこのバーをスクライプして、個別のレーザ素子は得られる。

【0008】
 【発明が解決しようとする課題】 しかしながら、以上のようにして製造されるLED素子は以下のような問題点がある。これらのエピソード成長系中、第1クラッド層ドープが内ドープメントであるSeが拡散し、第2クラッド層5から6μmがそれぞれ数μm厚の活性層で置換する、すなわち、活性層4内にドープメントがバイラルアプする。そのため、活性層内でのp-n接合が不良あるいは、接合位置が活性層からずれる(リモートジャンクション)ことにより、発光効率が悪くなり大きな動作電圧が必要となる。適切な場合には1.5V程度をしないこともある。

【0009】また、第1クラッド層と第2クラッド層上り活性層の屈折率を数%高くしてあるために、屈折率の高い活性層に光を閉じ込めることができるが、クラッド層に浸みだされたのはクラッド層バンドギャップが大きいと吸収を受けずに伝搬することができるが、活性層と第1、第2クラッド層とのAl:GaInAs組成率が少ない

【0014】前記電流変換部と前記第2の電流変換部とは、動作特性に対して、幾何学的形状であると共に、前記電流変換部が形成されるストランド層の構造方法において、前記第2の上止り導体はレーザ加工による製造方法において、前記第2クラッド層のドーパントがCの層を V/III 比1:10ないし3:9の範囲で成膜し、前記第2クラッド層の他の層は V/III 比1:80ないし2:20の範囲で成膜すると良

【0015】上記のストライプ部のメサ構造はエッチングストップ層、クラッド層およびキャップ層の積層工程、クラッド層上のストライプマスクの形成工程、次いでこのストライプマスクに被覆されていない部分のキャップ層およびクラッド層をエッチングストップ層まで除去する工程によって形成されると良い。

【0016】
 [発明の実施の形態] 本発明によれば、p型のあるクラ
 ッシッポ型トランジスタの異なる複数の内部層と、各
 内部層のトランジスタは活性層内を通過するに、従
 って、p_n接合は活性層の小さいドープメントによっ
 て形成され、階段状は活性層内に形成され、動作電流
 の低減と、歩留りの向上が期待できる。

【0017】 測定しているドーパントと結晶係数はそれぞれ、Cは $6.0 \times 10^{-15} \text{ cm}^2/\text{s}$ (900°C)、Mgは $1.1.0 \times 10^{-13} \text{ cm}^2/\text{s}$ (900°C)、Znは $5.3 \times 10^{-9} \text{ cm}^2/\text{s}$ (900°C)であり、CとMgはZnに較べて数桁も小さいので、CまたはMgを活性層の隣接内層

[illegible]

【数1】 $J_{th} \propto \exp(T/T_0)$
 T_0 は特性温度 (素子に固有の定数) であり、この値が小さいほど J_{th} の温度依存性が大きくなる。本発明によれば、クラッド層14組成を最適な範囲 (図8参照) と

し、また活性圈内にpH適合界面を形成しキャリアを効率的に注入することとしたので、注入キャリアのリーク率がなく結晶欠陥の少ない膜を得ることができ、良好な特性のLED素子を得ることができる。

【0019】逆に相電位差を大きくしすぎると組成変化による熱膨張強度低下に起因して層中に歪みが増え結晶欠陥の発生となり膜内ポラジンの悪化となる。また、活性層とクラッド層には注スルベキキャリアの総じな込め効果をもたせ、活性層中に電流変換層を設け造としたことにより、活性層中のキャリアの広がりによる電流変換層が1段の低下から側で変換されるので、電流変換層が1段の低下より、活性層が向上し、変換層開始電流が低下する。

【0020】さらに、鏡像対称としたため、光閉じ領域中の光密度が一般となり、発光開始電流の低下、動作電流に対する駆動効率が向上する。Cをドーパントとする場合、本発明によるV/III比であれば、成長剤とする原料であるトリリチアルガリウム(TMG)やトリエチルガリウム(TEG)等のトリメチル基またはトリエチル基に在中のCは原子中に取り込まれ、ドーピングされ、Asサイトに入り、アクセプタとなる。V/III比が200付近であれば、取り込まれる量は少なく、他にドーパされたドーパントの特性に従って導電型は定まる。

【0021】次に本発明を実施例に基づき説明する。

実施例1

図1は本発明に係る実施例の半導体レーザ素子の断面図である。第2クラッド層4以外は従来と同じ層構成である。同じ符号を用いているので説明を省略する。本発明に係る第2クラッド層5は活性層4側から順に、Cドープ層5a、Mgドープ層5bおよびZnドープ層5cの積層としてある。

【0022】以下、製造工程に沿って説明する。この実施例の半導体レーザ素子の製造方法は第2クラッド層4を除いて従来の製造工程に同じであるので、従来の製造プロセスの説明を用いた図18を兼用し符号の説明を省略する。まず、n型GaAs基板1(Siドープ、キャリア濃度 $2 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $300 \mu\text{m}$)上に、有機金気相成長(MOCVD)により、厚さ $0.2 \mu\text{m}$ のn型GaAsがなるバッファ層2、第1クラッド層3(n型GaAs、 $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $1 \mu\text{m}$)、活性層4(n型GaAs、 $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)、活性層4(インジウムAl-In、 $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)を積層する。

【0023】さらに、本発明に係る多層の第2クラッド層5を形成した。ドーパント以外は従来の第2クラッド層5と同様である。第2クラッド層5全体の組成はp型のAl_{0.5}S_{0.5}Gao_{0.5}As、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ とした。第1内層5は四硫化砷をドーピング用原料ガスとして用いた。5層の層であり、厚さは0.15μm、第2内層5はヒンズシクロプロペンジェニルマグネシウムをドーピング用原料ガスとして用いた。Mgドーパ

の層であり、厚さを0.15mm、第3内層5cはジェチル亜鉛をドーピング原料ガスとして用いた、Znドーブの層であり、厚さを0.15mmとした。なお、成長時のV/III比は200とした。

【0024】次にGelscapeチップ層6（p型 Gels、キヤリア密度 $1 \times 10^{17} \text{cm}^{-2}$ 、厚さ $0.3 \mu\text{m}$ ）を成膜した。なお、このGelscapeチップ層6は、以降の酸化膜成膜工程とその他パターンニング工程が互換GelsA層に適用されると高抵抗のAl酸化膜の生成されるので、これを防止するために酸化する。次に、このウェハ上に厚さ $0.008 \mu\text{m}$ の酸化ケイ素層をスパッタにより成膜した。また、この酸化ケイ素層をB層により、表いで厚さ $0.1 \mu\text{m}$ の酸化ケイ素層をスパッタにより成膜した。

【0025】通常のフォトプロセスパターンニングにより、幅3μmのストライプ状のマスク7を形成した(図18)。次に、EBにより成膜した二酸化ケイ素膜1層はスパッタにより成膜した二酸化ケイ素膜の20位のエンディング速度をもつて、2重マスクとしておくと、水の電流致密層の面内増が生じない。または、厚さ0.1μm程度の1重のスパッタ膜でもストライプは可能である。

【0026】次に、マスク7は選択成長用マスクであり、城沢のMOCVDによりマスク部をのぞいて、電流拡散層9 (n型GaAs、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$)、厚さ約0.3 μm を形成した(図18 (b))。次に、マスク7を除去し、厚さ1.1 μm の第3クラッド層9 (p型Al_{0.5}In_{0.5}Bi_{0.5}As、キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$) およびコンタクト層10 (p型GaAs、キャリア濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ5.0 μm)を形成した。

【0027】最後に、ウェハ上下のp型電極11、n型電極12を形成した(図18(c))。上記の製造工程の後、ウェハにへき開し(図18の破面に平行に)パターし、さらにこのパターをスタンプして、個別のLED素子とされた。本実施例によって製造された半導体レーザ素子のレーザ特性(光出力・電流(I-L)特性および電圧-電流(V-I)特性)を評価し、従来のLED素子と

の比較を行った。図 2 は L 筋子のレーザ特性を示すグラフであり、(a) は本発明に係る L D 筋子の場合であり、(b) は従来の L D 筋子の場合である。従来の L D 筋子では、発振開始電流が高く 5 0 m A 以上あり、3 割出力時の動作電流以降、動作は 3 割出力時とし注記を省略する) は 6 5 m A 以上と高く種々な場合には 1 ーザ駆動

後と良好な特性であることが明らかとなった。
発振開始電流は4.5mA程度であり動作電流は5.5mA程度であった。また、第1導電型のクラッド層と活性層は約0.028μm、第2導電型のクラッド層の側面部の長さ方向（図1および第2導電型のクラッド層の側面部の長さ方向）に垂直な方向への二水素イオン質量分析（SIMS）を行なった。図3は第1導電型のクラッド層、活性層および第2導電型のクラッド層における不純物分布を示すグラフであり、(a)本発明に係るLED素子と、

-5-

子の場合であり、(b)は従来のLD薬子の場合である。従来技術の場合は、活性域内にZnとSeが高濃度で共存しているが、本発明の場合は活性域内でのCとSは高濃度で共存しているが、低濃度で各グループは交わっており、pH値は活性域内にあることが判る。また、ZnおよびMgも活性域内には分散していない。

実施例2

MOCVDの膜成長時にV/III 比を10~30の範囲とすることにより、ドーピング原料ガスを用いずに、Cをキャリア発生源不純物としてキャリア密度を制御することができる。図4は本発明に係る製造方法におけるV

／Ⅲ 比に対するキャリア濃度のグラフである。実施例 1 と同様の層構成とし、第 2 導電型の第 2 クラッド層下の層成成時の V／Ⅲ 比を 2.0 とし、キャリア濃度を $6.0 \times 10^{18} \text{ cm}^{-3}$ とした。第 2 クラッド層内の他の層は実施例 1 と同じとした。

【0029】図5は本発明に係る他の実施例のLED素子のレーザ特性を示すグラフである。実施例1とほぼ同じであり、第2クラッド層のキャリア濃度が従来よりも高いため、動作電圧は低くなっていることが判る。

実施例 3
実施例 1 の層構成では、第 2 導電型の第 2 クラッド層の厚さによって、電波-光出力 (I-L) 特性およびレーザ光の可干渉性 (a) % が変化することが判った。図 6 の第 2 クラッド層に属する LD 素子の可干渉性 (a) の第 2 クラッド層の屈折率特性を示すグラフである。

【0030】第2クラッド層の厚さを300〜450nmとすると、電流-光出力(1-1)特性では、発振開始電流は40mA以下、動作電圧(V_{op})は5.0V以下であり、V₁-1特性では動作電圧(V_{op})は2.0V以下と良好であった。図7は本発明に係る第2クラッド層厚さ400nmのLED素子のレーザ特性のグラフである。また、200nmのLED素子のレーザ特性のグラフである。また、この厚さ範囲内は、可干渉性(α)は7.0%以下と光ビットクォリティに要求されるα≦9.5%を十分満たしていることが判る。

実験例 4
また、実施例 1 の阻成成分では、レーザ特性の阻成特性が第 2 クラッド層と活性層の Al 組成率 (A/X) に依存して阻成度が判った。図 8 は本発明に係る LED 素子の特性温度 (T_0) の第 2 クラッド層と活性層の Al 組成率依存性を示すグラフである。

[0031] 0.35 ≤ ΔX ≤ 0.570 の範囲とする
と、120℃以上の特性温度 (T₀) が得られること
が、図 9 に本発明に係る ΔX = 0.570 の L 素子で
判る。その特性のグラフである。A1 組成並に上記の範囲で
レーザ特性のグラフである。A1 組成並に上記の範囲で
は、電圧・光出力 (I-V) 特性では、発振開始電流
は 50 mA 以下、動作電流は 50 mA 以下、電圧・電流 (V
-I) 特性では動作電圧 V₀ は 2.0 V 以下と良好であ
った。

附录 50 实施例 5

11

り、(a) 本発明に係るLD素子の場合、(b) は従来のLD素子の場合

【図4】本発明に係る製造方法におけるV/III比に対するキャリア濃度のグラフ

【図5】本発明に係る他の実施例のLD素子のレーザ特性を示すグラフ

【図6】本発明に係るLD素子の可干渉性(a)の第2クラッド層の厚さ依存性を示すグラフ

【図7】本発明に係る第2クラッド層厚さ400nmのLD素子のレーザ特性のグラフ

【図8】本発明に係るLD素子の特性温度(T_0)の第2クラッド層と活性層のAl組成量依存性を示すグラフ

【図9】本発明に係る $\Delta X=0.57$ のLD素子のレーザ特性のグラフ

【図10】本発明に係る第2の電流拡散層を有するLD素子の第2の電流拡散層付近の断面図

【図11】本発明に係る第2の電流拡散層を有するLD素子のレーザ特性のグラフ

【図12】本発明に係る2つの電流拡散層が活性層に対して対称であるLD素子の断面図

【図13】本発明に係るメサ構造を得るための製造工程を示す断面図であり、(a)はストライプ状のマスク形成後、(b)はメサエッチング後、(c)は第3クラッド層形成後

【図14】本発明に係る第1クラッド層内に第2の電流拡散層を有するLD素子のレーザ特性のグラフ

【図15】本発明に係る2つの電流拡散層が活性層に対して対称であるLD素子の可干渉性の活性層と電流拡散層との距離依存性を示すグラフ

【図16】本発明に係る2つの電流拡散層が活性層に対

12

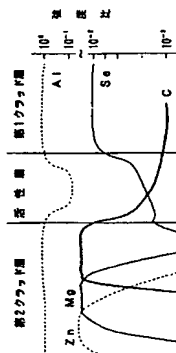
して対称であるLD素子の特性温度の活性層と電流拡散層との距離依存性を示すグラフ

【図17】従来のLD素子のへき断面に平行な断面図

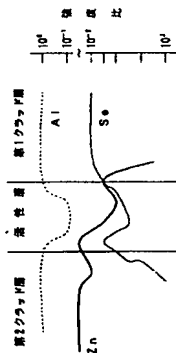
【図18】従来のLD素子の主な製造工程後のウェハへの1素子分を示すへき断面図であり、(a)は融けケイ素層のパターニング工程後、(b)は電流拡散層の選択エッチング工程後、(c)は電極用金属膜形成後

【符号の説明】
1 GaAs基板
2 パッド層
3 第1クラッド層
3a 第1クラッド下層
3b 第1クラッド上層
4 活性層
5 第2クラッド層
5a 第2クラッド下層
5b 第2クラッド中層
5c 第2クラッド上層
6 キャップ層
7 電流拡散層
7a 第2の電流拡散層
M マスク
9 第3クラッド層
10 コンタクト層
11 p側電極
12 n側電極
13 拡散防止層
14 拡散防止層
Es エッチングストップ層

【図4】

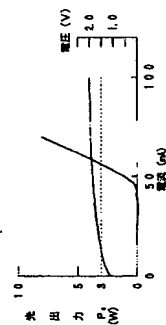


(a)



(b)

【図5】

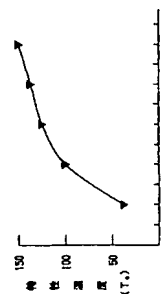


【図6】

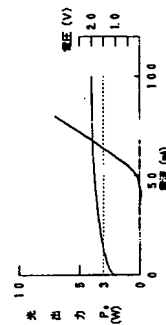
【図7】



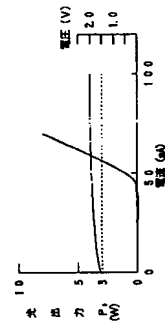
【図8】



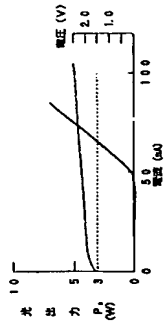
【図9】



【図2】

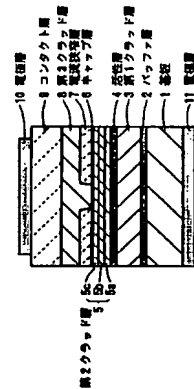


(a)

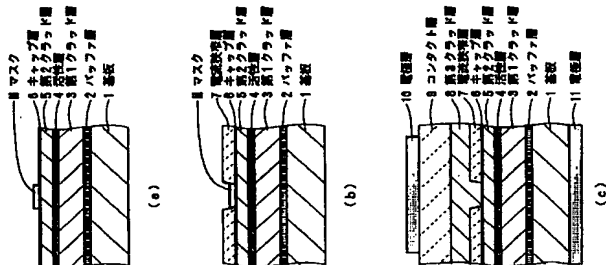


(b)

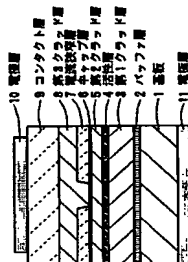
【図1】



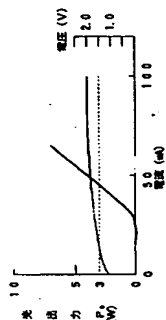
【図18】



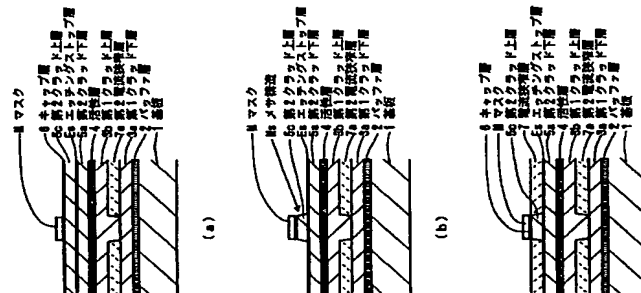
【図17】



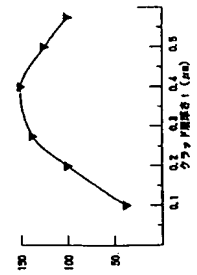
【図11】



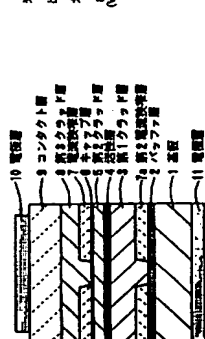
【図13】



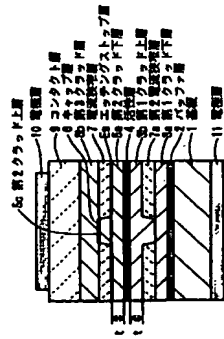
【図16】



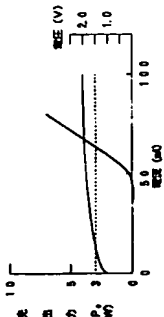
【図10】



【図12】



【図14】



【図15】

